

### 特点

- 4-20mA 电流输出
- 16 位分辨率和单调性
- $\pm 0.01\%$  积分非线性
- 3V/3.3V/5V 稳压器输出
- 2.5V 和 1.25V 精密基准电压源输出
- 最大静态电流 520uA
- 兼容 HART® 通信协议
- 灵活的抗干扰串行接口
- 可编程报警电流输出能力
- 过流保护以及短路保护
- 16 引脚 SOIC 封装
- $-40^{\circ}\text{C}$  至  $+85^{\circ}\text{C}$  工业级工作温度范围

### 描述

SD2421G 是一款完整的环路供电型 4-20mA 数模转换器, 将数字数据转换为电流, 专为满足工业控制领域智能变送器制造商的需求而设计, 其高集成、高精度、低成本解决方案, 实现高分辨率 4-20mA 的智能变送器。

本 DAC 采用  $\Sigma-\Delta$  架构, 保证 16 位分辨率, 单调性和  $\pm 0.01\%$  积分非线性。输出 4mA 零标度电流 (误差  $\pm 0.02\%$ FS) 至 20mA 满量程电流 (误差  $\pm 0.1\%$ FS)。满量程  $\pm 0.1\%$  建立时间不超过 8ms。

### 管脚图和管脚描述

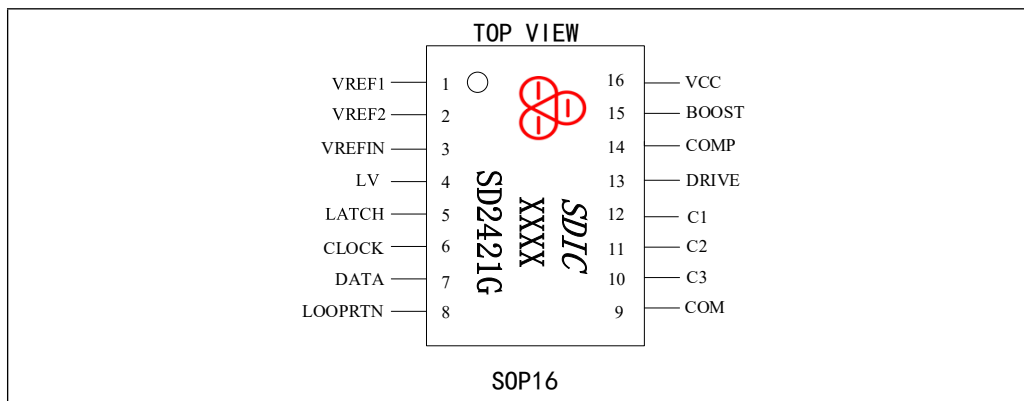


图 1. SOIC 管脚图

SD2421G 内置输出电压可选的稳压器, 用于自身及变送器系统中的其他器件供电, 调节输出值可通过引脚进行选择, 可为 3V/3.3V/5V。同时片内的精密基准电压源可以给系统中的其它器件提供 2.5V 和 1.25V 基准。所以, SD2421G 不需要外部独立的稳压器和基准电压源, 只需若干外部元件和一个调整管即可, 其中调整管主要用于扩展环路电压范围, 令 SD2421G 可以在最低  $VCC+2V$  至该调整管的击穿电压范围内工作。

SD2421G 可以结合标准的 HART 或其他类似的 FSK 协议通信电路使用, 其额定性能不受影响。高速串行接口能够以 3Mbps 速率工作, 并通过一个标准三线式串行接口与常用的微处理器和微控制器简单相连。

SD2421G 具有可编程报警电流功能, 允许变送器通过发送超量程电流来指示传感器故障。

COM 与 LOOPRTN 之间有短路保护功能, BOOST 与 LOOPRTN 之间有过流保护功能, 确保器件本身及外围分立调整管不被烧毁。

### 订购信息

封装形式	订货名称
SOP16 (宽体)	SD2421G

表 1. 管脚描述

SOP	管脚名称	属性	管脚描述
1	VREF1	模拟输出	片内 1.25V 基准电压输出端，用作变送器中其他器件的精密基准电压源，可向外部提供 0.5mA 的负载能力。若要求 VREF1 提供灌电流，则应外接 100k $\Omega$ 电阻到 COM。（参考“基准电压源”部分）
2	VREF2	模拟输出	片内 2.5V 基准电压输出端，SD2421G 采用自身基准电压源工作时，VREF2 应接 VREFIN。可用作其他器件的精密基准电压源，可向外部提供 0.5mA 的负载能力。
3	VREFIN	模拟输入	基准电压输入端，用于设置 SD2421G 的量程。为了芯片正常工作，基准电压需用 2.5V。此电压可用外部基准或器件本身的 VREF2。
4	LV	模拟 I/O	稳压器输出（VCC）控制端。连接选择请参阅表 2。
5	LATCH	数字输入	DAC 锁存控制逻辑输入端，LATCH 信号上升沿将串行输入移位寄存器中的数据载入到 DAC 锁存器，更新 DAC 输出。锁存脉冲之间的时钟周期数决定 DAC 的电流工作模式。（参考“数字接口”部分）
6	CLOCK	数字输入	数据时钟输入，DATA 输入端上的数据在此 CLOCK 输入的上升沿逐个输入移位寄存器，时钟的周期即为输入串行数据比特率，最高可达 3MHz。
7	DATA	数字输入	数字数据输入，SD2421G 输入移位寄存器的数据从此端口加入，数据在 CLOCK 输入信号的上升沿必须有效。
8	LOOPRTN	模拟输出	电流环路回流输出端，是电流环路中电流的回流路径。
9	COM	参考地	芯片公共地，是 SD2421G 模拟/数字输入输出以及稳压器输出的参考电位。
10	C3	模拟 I/O	内部开关电流源的模拟滤波器外接电容端。此引脚和 COM 之间应接一个低电介质吸收性能的电容（陶瓷电容）。
11	C2	模拟 I/O	内部开关电流源的模拟滤波器外接电容端（参考 C3 的描述）。
12	C1	模拟 I/O	内部开关电流源的模拟滤波器外接电容端（参考 C3 的描述）。
13	DRIVE	模拟输出	内部稳压器驱动输出端，此信号负责驱动外部调整管，建立相应的 VCC 电压。
14	COMP	模拟输入	补偿电容输入端，为确保内部稳压器运放与外部调整管构成的反馈环路稳定，需外接一个补偿电容到 DRIVE。
15	BOOST	模拟输入	内部功率管的电流输入端，流经此端的电流为 4-20mA 环路电流的主要组成部分。
16	AVCC	电源	芯片供电电源输入端，同时还可以提供由外部调整管驱动的稳压器输出，既可以实现 SD2421G 自身供电，也可以为智能变送器系统的其他部分电路供电，应外接 2.2 $\mu$ F 电容到 COM。VCC 输出电压大小由 LV 端口的连接方式决定（参考表 2 LV 引脚的描述）。

## 功能描述

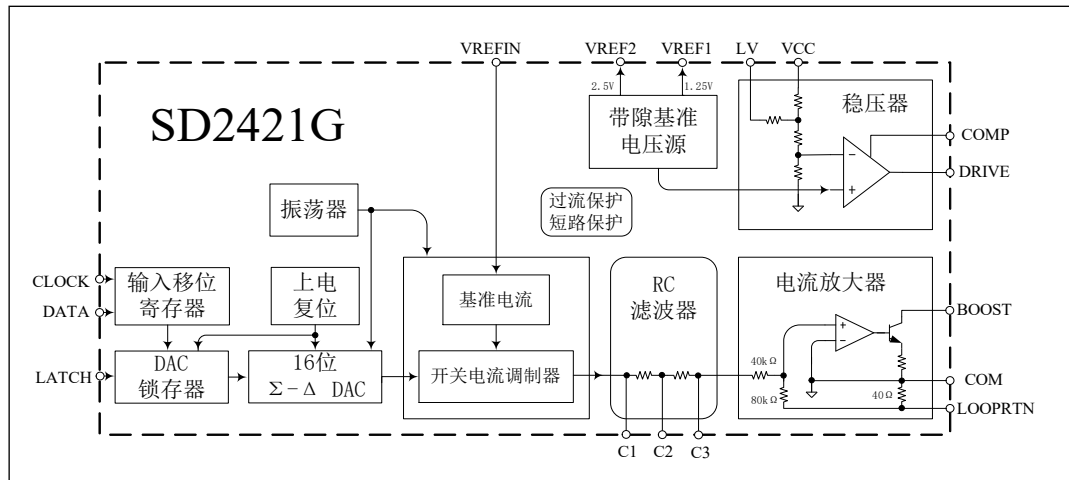


图2. 功能框图

图2是SD2421G的功能模块框图。SD2421G是一款16位电流DAC，用于环路供电型4-20mA智能变送器上。作为一种远程仪器，智能变送器在4-20mA环路上获取电源，并控制环路的电流信号输出。SD2421G提供智能变送器中如下几个主要功能：将数字数据转换成模拟格式的DAC功能、设定环路电流幅度的电流放大器功能和稳定的工作电压功能。另外，芯片还提供两个精确的基准电压源、内置一个时钟振荡器以及高速串行接口。下面详细说明SD2421G的特性。

## DAC

SD2421G内置一个16位 $\Sigma-\Delta$  DAC，将经DATA引脚载入的数字信息转换成电流。DAC由二阶调制器和模拟滤波器组成。来自调制器的单比特码流控制一个开关电流源，电流源输出通过模拟滤波器进行滤波处理。

滤波器由两个电阻和三个电容组成，电阻均集成在芯片内，电容由连接在C1-C3引脚上的外部对地（COM）滤波电容实现。滤波电容应使用低电介质吸收性能的电容器（NPO）。DAC的满量程建立时间由滤波器决定，要实现8ms建立时间，典型电容值分别为C1=C2=10nF、C3=3.3nF。

## 电流放大器

电流放大器设定从LOOPRTN流出的电流，为DAC输出电流提供进一步放大与驱动。图3显示SD2421G的电流放大器部分，由运放和NPN晶体管组成。

BOOST通常连接到VCC引脚，此时外部FET必须能够提供4mA至20mA整范围内的环路电流。请参考“降低外部FET的功率负载”部分介绍降低FET功耗的连接方法。

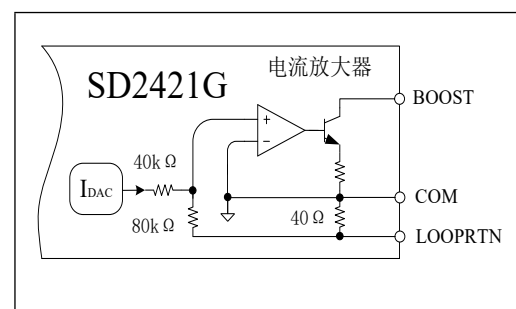


图3. 电流放大器电路图

## 稳压器

稳压器由运放、带隙基准电压源和一个外部 N 沟道耗尽型 FET 调整管组成，向 SD2421G 自身及变送器系统中其它器件提供 VCC 电压，图 4 显示 SD2421G 的稳压器部分及 VCC=3.3V 时的相关外部电路连接。

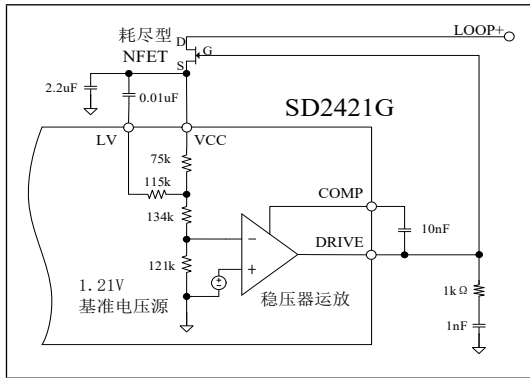


图 4. 稳压器输出 3.3V 设置电路图

通过改变 LV 引脚的连接方式，可以更改变运放反相端与 VCC 之间的电阻比值，而产生 VCC 的目标电压值，表 2 列出 LV 连接方式与 VCC 的关系。

表 2. LV 连接方式与 VCC 的关系

LV 连接至	VCC 值
COM	5V
通过 0.01μF 电容到 VCC 或 COM	3.3V
VCC	3V

图 4 所示的环路电压范围由 NFET 的击穿电压和饱和电压决定。用户必须选择合适的  $V_{GS(off)}$ 、 $I_{DSS}$  及跨导等外部 NFET 参数，以便 DRIVE 引脚上的运放输出在 VCC 和 COM 的电平范围内摆动时可以正确控制 NFET 的工作点。表 3 列出选择 FET 调整管时应注意的主要特性，其中  $V_{LOOP}$  是环路电压，VCC 是 SD2421G 的工作电压：

表 3. FET 特性

FET 类型	N 沟道耗尽型
饱和电流 $I_{DSS}$	24mA (最小值)
漏源击穿电压 $BV_{DS}$	$V_{LOOP}-VCC$ (最小值)
截止电压 $V_{GS(off)}$	-VCC (最大值)
最小额定功率	$24mA \times (V_{LOOP}-VCC)$

稳压器需要若干外接电阻电容进行频率补偿以确保稳定工作：

- DRIVE 和 COMP 之间连接 10nF 电容
- DRIVE 和 COM 之间连接 1kΩ 电阻串联 1nF 电容
- VCC 与 COM 之间连接 2.2μF 电容

## 基准电压源

SD2421G 内置带隙基准电压源，为稳压器环路的一部分，同时还用于产生两个基准电压，给 SD2421G 及其他外部电路使用。VREF1 为 +1.25V 基准电压，VREF2 为 +2.5V 基准电压，两基准电压均可提供 0.5mA 源电流。

要让 SD2421G 采用自身的基准电压源来工作，只需将 VREFIN 引脚连接到 VREF2 引脚。如果要使用外部基准源，则将外部基准源连接在 VREFIN 和 COM 之间。

为确保基准电压源稳定工作，VREF2 必需连接 4.7μF 电容到 COM。VREF1 在引用到外部电路时必需连接 4.7μF 电容到 COM，不用时可以不接，但连接则可降低系统噪声。

芯片内部对 VREF2 实时监测，如果外部电路从此引脚抽取的电流超过 0.5 mA，芯片会进入上电复位状态，此时 DAC 禁用、内部振荡器停止且输入数据锁存清零。

VREF1 的吸电流能力有限。如果需要提供吸电流，则要在 VREF1 端加接 100kΩ 电阻到 COM。

### 数字接口

SD2421G 的数字接口由DATA、CLOCK 和 LATCH 三线组成，可直接连接到通用微控制器的串行端口。数据以MSB先行方式在CLOCK上升沿载入至输入移位寄存器，然后在LATCH上升沿以并行传输形式送入DAC锁存器，如图5所示。图中时间指标请参阅表7的数字输入参数部分。

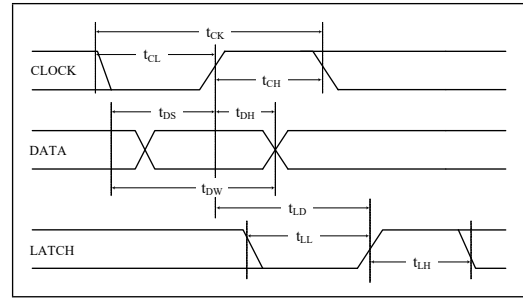


图5. 串行接口时序图

### 使用SD2421G

SD2421G可以设置为正常的4-20mA工作模式或报警电流工作模式。在正常工作模式下，编码为16位直接(自然)二进制码，输出电流范围为4mA至20mA。在报警电流工作模式下，允许用户设定一个4mA至20mA范围之外的电流值作为来自变送器的一条指示，表示传感器存在问题，此时编码为17位，输出电流范围为0mA至32mA。

为了判断工作模式，器件会对两个连续LATCH脉冲上升沿之间的CLOCK脉冲进行计数。脉冲数是0-16个则为正常模式，超过16个则为报警电流模式。

#### 4 - 20mA 编码

表4列出正常工作模式下输入代码与输出电流之间的理想关系，分辨率为16位，VREFIN为+2.5V，1LSB = 16mA/65536 = 244nA。如果连续LATCH脉冲之间的CLOCK脉冲数小于16，少输入的位在芯片内部默认为0。

表4. 正常工作模式(4-20mA)的理想输入/输出代码对应表

代码	输出电流
0000 0000 0000 0000	4mA
0000 0000 0000 0001	4.000244mA
0100 0000 0000 0000	8mA
1100 0000 0000 0000	16mA
1111 1111 1111 1101	19.999268mA
1111 1111 1111 1111	19.999756mA

图6为SD2421G工作在4-20mA正常工作模式下的时序图，图中连续LATCH信号之间存在16个时钟脉冲，输入数字信号为88C3h，输出电流为12.547607mA。

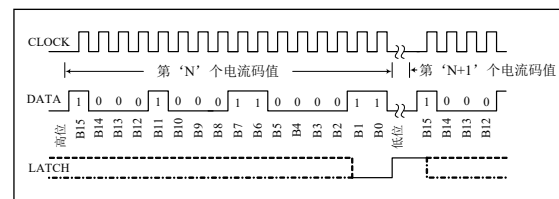


图6. 正常工作模式下的电流值写入时序图

#### 报警电流编码

表5列出报警电流工作模式下输入代码与输出电流之间的理想关系，分辨率为17位，VREFIN为+2.5V，1LSB = 32 mA/131072 = 244nA。SD2421G仅接受串行写操作的最新17位，数据是LSB靠后，即MSB是在LATCH脉冲之前的第17个上升时钟沿载入。

在报警电流工作模式下，理想输出电流范围为0mA至32mA，在实际操作中，SD2421G无法可靠地产生低于3.5 mA或超过24 mA的电流。在表4给定范围之外的代码值，该器件可能会给出不确定的电流输出，建议用户设置的电流值代码应限制在表5所示的范围内。

表5. 报警电流工作模式下(3.5mA至24mA)的理想输入/输出代码对应表

代码	输出电流
0 0011 1000 0000 0000	3.5mA
0 0100 0000 0000 0000	4mA
0 1000 0000 0000 0000	8mA
1 0000 0000 0000 0000	16mA
1 0100 0000 0000 0000	20mA
1 1000 0000 0000 0000	24mA

图7显示8位微控制器使用三个8位写操作让SD2421G进入报警电流模式的时序图。输入数字信号为03A00h, 输出电流为3.625mA。

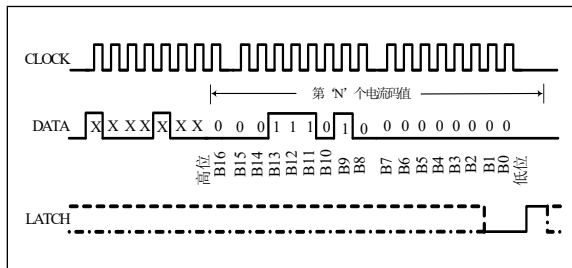


图7. 报警模式下的电流值写入时序图

### SD2421G - SPI总线接口

图8 显示SPI（串行外设接口）总线和SD2421G之间的典型接口。SPI的M\_CLK和MOSI 连接到SD2421G的CLOCK和DATA引脚，主机还需要利用一个数字IO口连接到SD2421G的LATCH引脚。图9显示SPI的初始化及数据传输的典型流程图。

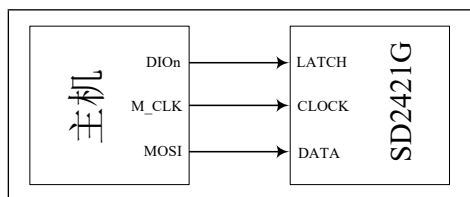


图8. SPI与SD2421G接口示意图

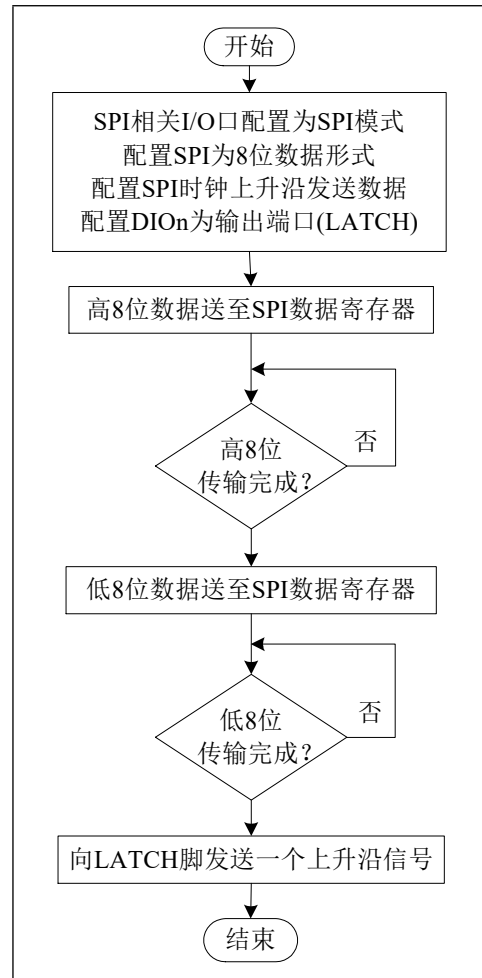


图9. 初始化和16位环路电流代码写入流程图

SPI数据端口配置为处理8位字节数据形式，并配置SPI在时钟上升沿发送数据，另外还配置DIOn为输出端口。

主机从存储器载入高8位字节，并产生八个时钟脉冲，数据在时钟上升沿有效。发送高8位字节后，主机从存储器载入低8位字节，并以相同方式发送。当完整的16位字载入SD2421G后，DIOn引脚生成一个上升沿信号，从而完成数据传输。

## 典型应用

### 基本工作配置

图10显示SD2421G在VCC=5V下使用最少外部元件的电路图。SD2421G具有极低的VCC电源灵敏度，在3V，3.3V或5V条件下，其典型环路

电流变化为1nA/mV，远远低于同类型产品，SD2421G不需要因为不同VCC值而使用电阻作片外补偿。

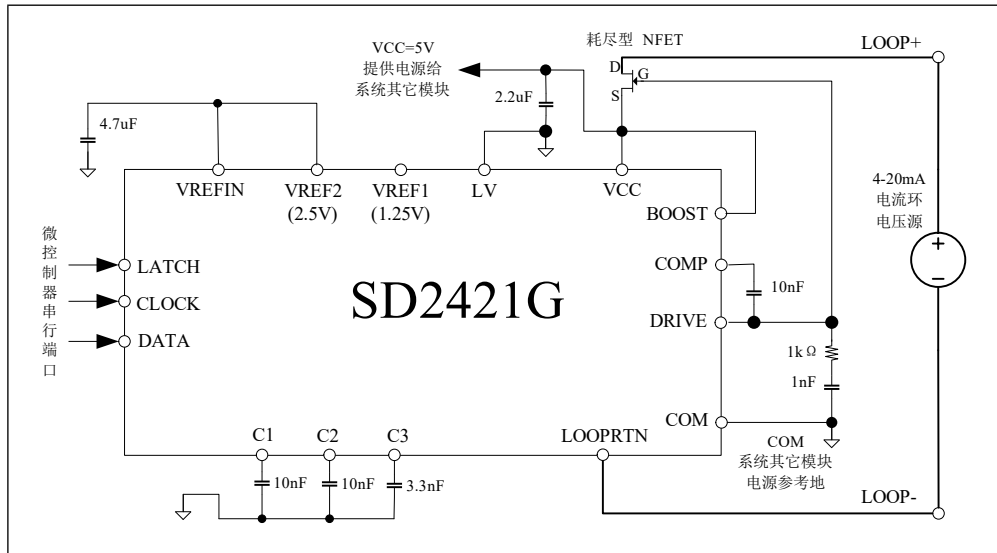


图10. SD2421G基本连接示意图

### 降低外部FET的功率负载

图11所示电路通过添加外部NPN晶体管来降低FET的功率负载。FET仍供电给VCC，而外部NPN管则提供BOOST所需的电流。流经FET的电流可降低至520uA(只有SD2421G本身使用VCC电源)或4mA以下(系统中有其他器件与SD2421G共享VCC电源)。

在此应用中,COM与LOOPRTN之间必须接入10nF电容。外部NPN管的耐压不能低于LOOP+至LOOP-的最高电压。

本电路应该在耗尽型NFET散热能力不足或 $I_{DSS}$ 低于或接近24mA情况下才使用。

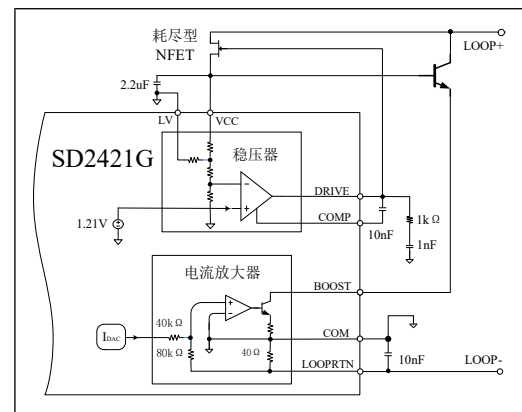


图11. 外部NPN晶体管降低FET功率负载

## 智能变送器

SD2421G 是一款专门为4-20mA 智能变送器设计的电流DAC。图12 为典型应用电路。一个或多个传感器的电压信号通过模数转换器（ADC）转换成数字信号。微处理器读取ADC数据，然后进行温度补偿、线性化或其他信号处理，最后经串行端口送入SD2421G，SD2421G将这些数字数据转换成电流并通过4-20mA 环路传回控制中心。

SD2421G 和外部耗尽型NFET 管配合，从4-20mA环路提取电能，向SD2421G自身及变送器系统的其它器件提供稳定的VCC电压。在图

12中，LV引脚经10nF电容连接到VCC，获得的VCC电压为3.3V。

VREF2 给SD2421G 自身提供基准电压，VREF1 给系统的ADC 提供基准电压，此时VREF1需要连接4.7uF电容和100kΩ电阻到COM。

在此示例中，变送器并不具备数字通信功能。

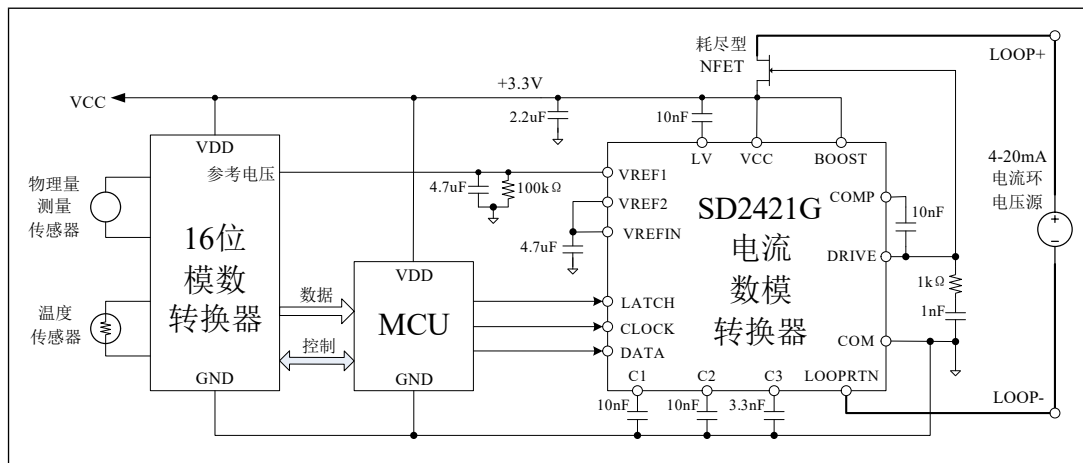


图12. 不带数字通信功能的典型4-20mA智能变送器



### HART接口

HART协议是一种通过频移键控（FSK）技术传送数字信号的标准，它利用1200Hz和2200Hz来代表二进制中的1和0，如图13所示。这些正弦波信号以1mA<sub>pp</sub>幅度、零直流量的形式叠加在4-20mA电流环信号上，从而允许同时进行模拟和数字通信。采用低通滤波器可有效消除HART信号，所以纯模拟仪表仍可在采用HART协议的系统中正常运行。一个单极点10Hz低通滤波器就能将HART信号衰减至相当于满量程信号±0.01%左右的纹波。

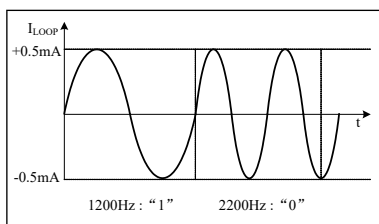


图13. HART发送的数字信号

图14显示采用HART协议的智能变送器典型应用电路。HART信号从电流环LOOP+端进入智能变送器，经过外围带通滤波到达HART调制解调器SD2015，SD2015将信号解调并传输到微处理器。要发送HART数据时，微处理器将逻辑信号传至SD2015进行调制以及波形整形，然后经C<sub>C</sub>耦合至SD2421G的C3引脚上。

按HART协议物理层要求，需要一个25Hz双极点低通滤波，为满足此要求，SD2421G的C2，C3引脚电容可设定为0.47uF和0.15uF。

C3引脚电容与耦合电容C<sub>C</sub>将SD2015的HART输出信号分压，从而保证最终表现在4-20mA电流环上的HART信号幅度为1mA<sub>pp</sub>，C<sub>C</sub>可设定为6.8nF。

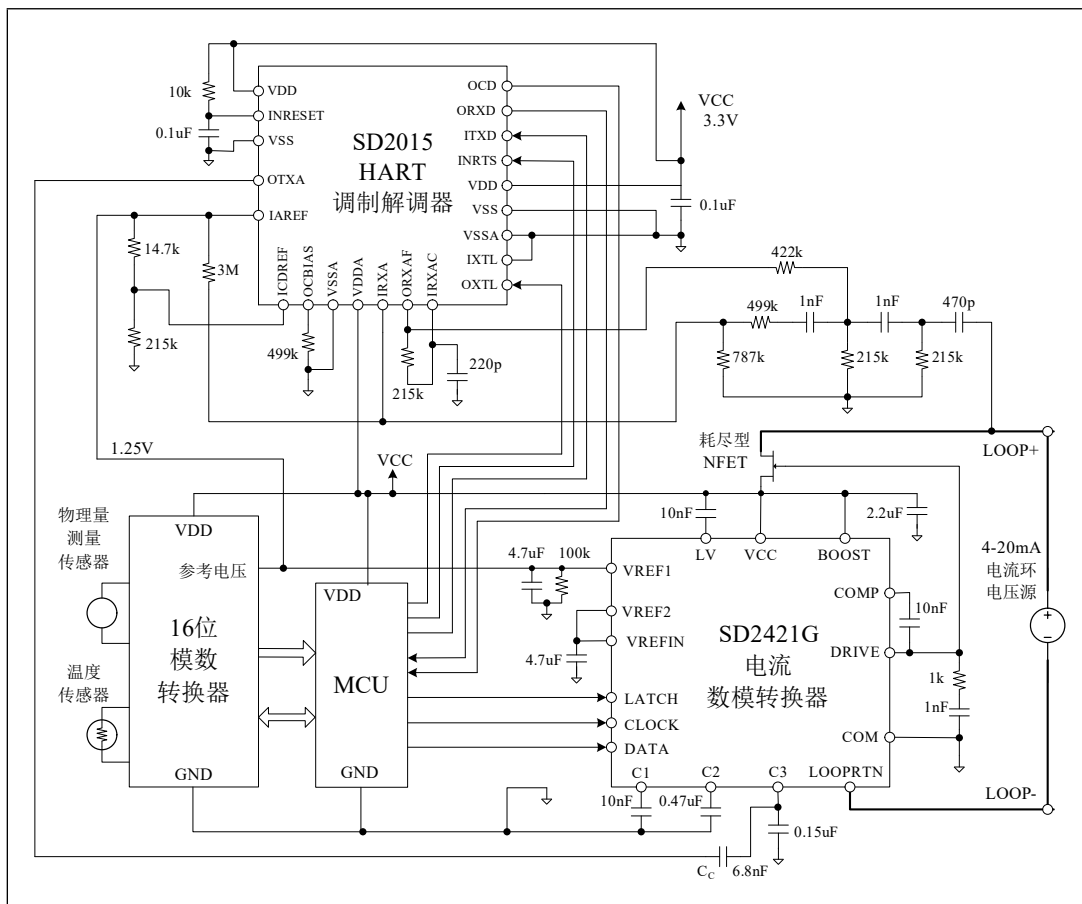


图14. 带HART数字通信功能的典型4-20mA智能变送器

### 电流源

图15显示SD2421G作为电流源的应用电路。4-20mA电流环的电压源设在本地，其电流经过SD2421G按DATA信号调整成4-20mA，从Loop+端输出，经远端负载后从Loop-回路到电压源，远端负载一般为横跨Loop+/Loop-的电阻负载。

在图15中，控制器和4-20mA环路之间利用光耦合器实现隔离。如果光耦合器的上升时间和下降时间较长，则需要在SD2421G的数字输入端连接施密特触发器，以免将错误数据提供给DAC。

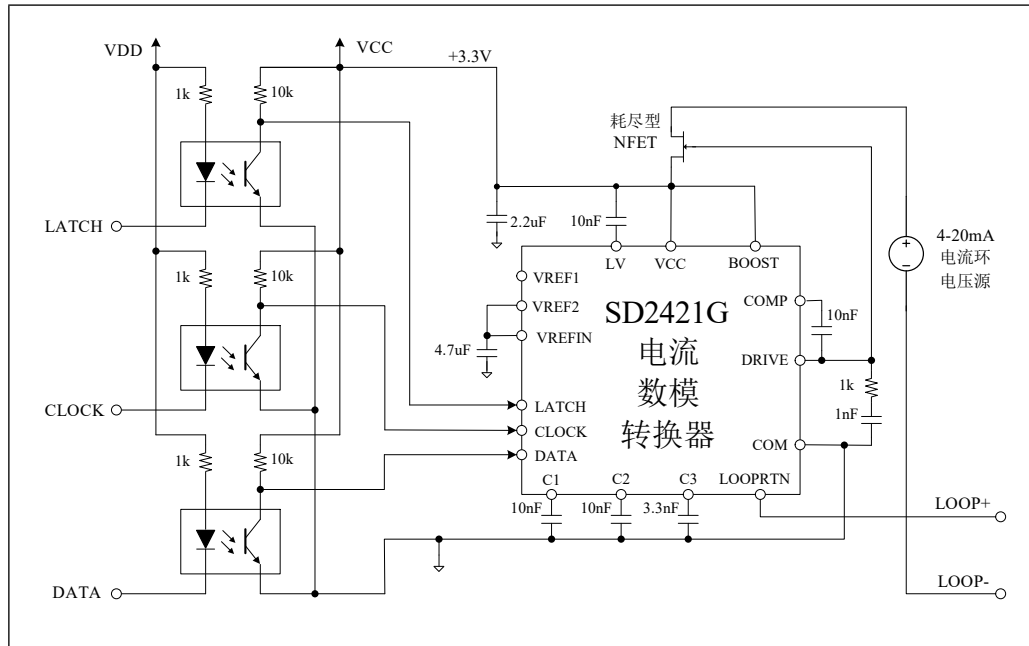


图15. 具体的电流源实现

### 备用电池

图16显示具有备用电池的系统应用电路，其中微处理器和存储器部分受到保护，以防止在环路断开或其他原因失去VCC电源时出现数据丢失。PMOS在VCC正常工作期间给超级电容或可充电电池提供连续充电电流，可调整R1，R2值来获取适当的充电电流。丧失VCC时，PMOS的栅极电压降至0V，从而允许超级电容或可充电电池的电流流过PMOS沟道和体二极管给微处理器和存储器供电。

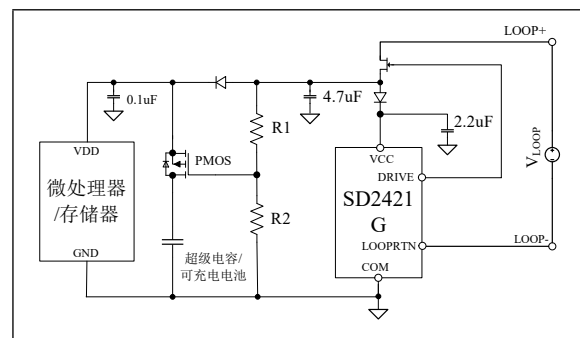


图16. 备用电池应用具体实现电路

## 电气特性

表 6. 极限参数

标识	参数	最小值	最大值	单位
TA	工作温度	-40	+85	° C
TS	储存温度	-65	+150	° C
VCC 至 COM	供电电压	-0.3	+7.0	V
DRIVE、BOOST、COMP 至 COM	模拟端口偏压	-0.3	VCC+0.3	V
LATCH、CLOCK、DATA 至 COM	数字端口偏压	-0.3	VCC+0.3	V
TL	回流焊温度曲线		参考 IPC/JEDECJ-STD-020C	° C
$\theta_{JA}$	封装热阻		110	° C /W
ESD	人体模型	3500		V
	机械模型	200		V

注意:

1. CMOS 器件易被高能静电损坏，芯片必须储存在导电泡沫，注意避免工作电压超出范围。
2. 在插拔芯片前请关闭电源。

表 7. VCC=+3V~+5V;  $T_A = T_{MIN} \sim T_{MAX}$ ; VREFIN=VREF2; 使用 DN2540 作为外部功率管。

标识	参数名称	最小值	典型值	最大值	单位	条件/备注
VCC	电源电压	2.98	3	3.02	V	3V 典型电压
		3.28	3.3	3.32	V	3.3V 典型电压
		4.95	5	5.05	V	5V 典型电压
Reg <sub>line</sub>	电压调整率		1		uV/V	$\Delta VCC / \Delta V_{LOAD}$
Reg <sub>load</sub>	负载调整率		150	200	uV/mA	$\Delta VCC / \Delta I_{LOAD}$
IDD	工作电流		400	480	uA	3V 供电
			440	520	uA	5V 供电
	环路电压	VCC+2			V	最大值为外部 N 沟道耗尽型 FET 最大耐压
	满量程稳定时间		8		ms	99.9%建立时间 C1=C2=10nF, C3=3.3nF
	环路输出阻抗		100		M $\Omega$	
	AC 电压灵敏系数		0.5		uA/V	1200Hz~2200Hz
	环路感性负载		50		mH	见说明 1
<b>DAC</b>						
	分辨率		16		Bits	
In	电流噪声		30		nA <sub>rms</sub>	4mA@25°C, VCC=5V
			200		nA <sub>p-p</sub>	0.1Hz~10Hz
			90		nA <sub>rms</sub>	20mA@25°C, VCC=5V
			550		nA <sub>p-p</sub>	0.1Hz~10Hz
	单调性	16			Bits	
INL	积分非线性		$\pm 0.004$	$\pm 0.01$	% FS	FS=满量程输出电流
	失调			$\pm 0.02$	% FS	4mA@+25°C, VCC=5V
	失调漂移		$\pm 10$	$\pm 30$	ppm /°C	包括片上基准漂移
	总输出误差			$\pm 0.1$	% FS	20mA@+25°C, VCC=5V
	总输出漂移		$\pm 10$	$\pm 30$	ppm /°C	包括片上基准漂移
	VCC 电源灵敏度		1	3	nA/mV	

VREF2						
	输出电压	2.494	2.5	2.506	V	
	温漂 TC		±5	±10	ppm / °C	-40°C~+85°C
	电流输出能力	0.5			mA	
	电源灵敏度		60	350	uV/V	
	输出阻抗		1		Ω	
	Noise		12		uVrms	0.1Hz~10Hz
VREF1						
	输出电压	1.245	1.25	1.256	V	100k Ω 负载到 COM
	温漂 TC		±5	±10	ppm / °C	-40°C~+85°C
	电流输出能力	0.5			mA	
	电源灵敏度		30	160	uV/V	
	输出阻抗		2		Ω	
	Noise		7.6		uVrms	0.1Hz~10Hz
REF_IN	输入阻抗		60		k Ω	
数字输入参数						
V <sub>IH</sub>	逻辑高电平	0.7*VCC			V	
V <sub>IL</sub>	逻辑低电平			0.3*VCC	V	
I <sub>IH</sub>	高电平电流			±0.5	uA	V <sub>IN</sub> =VCC
I <sub>IL</sub>	低电平电流			±0.5	uA	V <sub>IN</sub> =0V
	数据编码	二进制				
	串行数据速度			3	Mbps	
t <sub>CK</sub>	数据时钟周期	320			ns	
t <sub>CL</sub>	数据时钟低电平	160			ns	
t <sub>CH</sub>	数据时钟高电平	160			ns	
t <sub>DW</sub>	数据稳定宽度	160			ns	
t <sub>DS</sub>	数据建立时间	80			ns	
t <sub>DH</sub>	数据保持时间	80			ns	
t <sub>LD</sub>	锁存延时时间	160			ns	
t <sub>LL</sub>	锁存信号低电平	160			ns	
t <sub>LH</sub>	锁存信号高电平	160			ns	

说明:

1. 在应用上, 如果采用环路电源上串联电感的方式来抑制高频干扰, 那么需要在外部 FET 调整管的漏极 (D) 与 SD2421G 芯片的 LOOPRTN 之间并联上 0.1uF 的电容, 以确保系统稳定性。

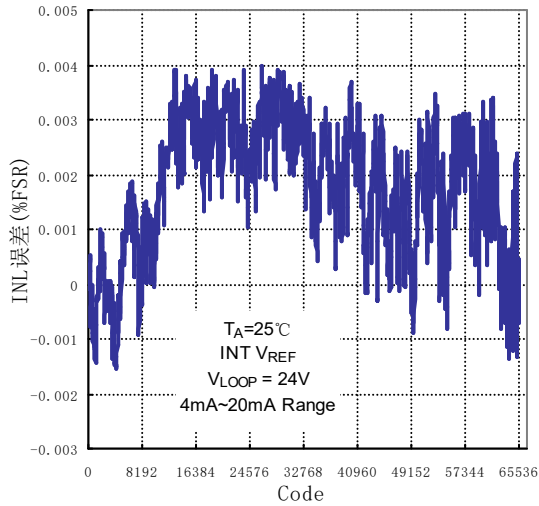


图 17. 积分非线性误差 vs. DAC Code

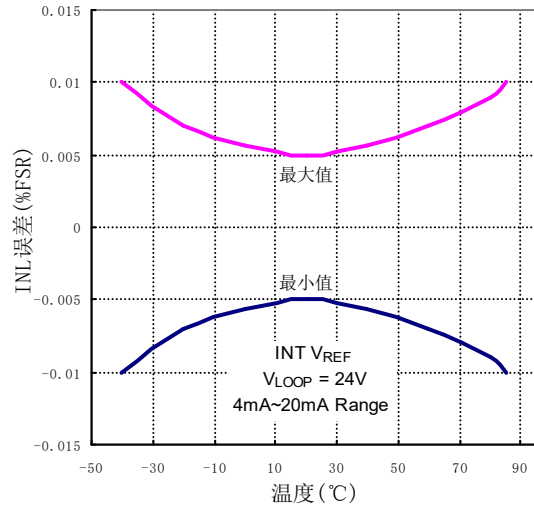


图 18. 积分非线性 vs. 温度

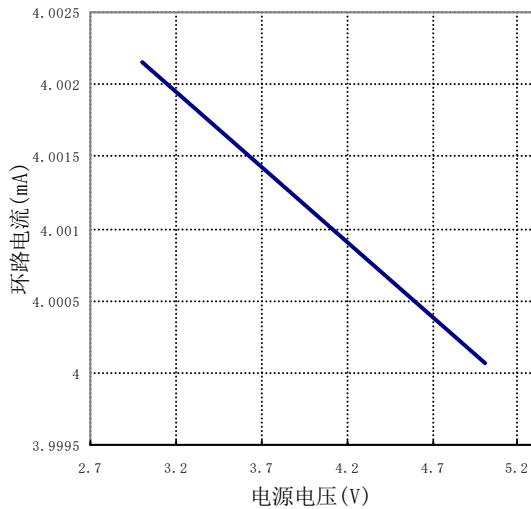


图 19. 环路电流与 vs. 电源电压 (VCC)

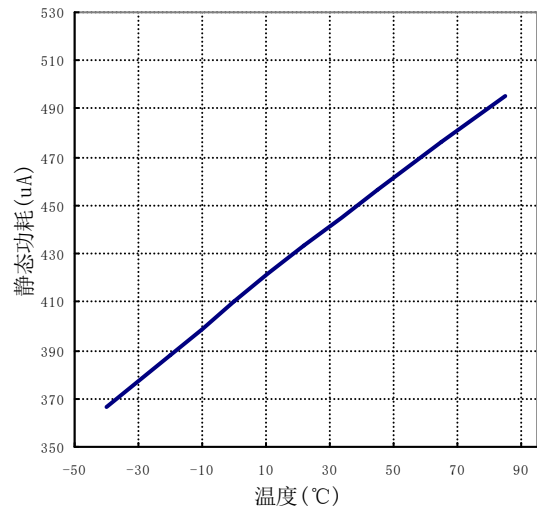


图 20. 静态功耗 vs. 温度 (VCC=5V)

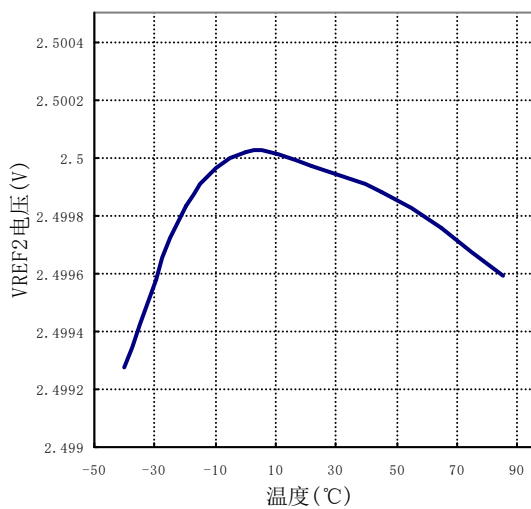


图 21. VREF2 基准电压 vs. 温度

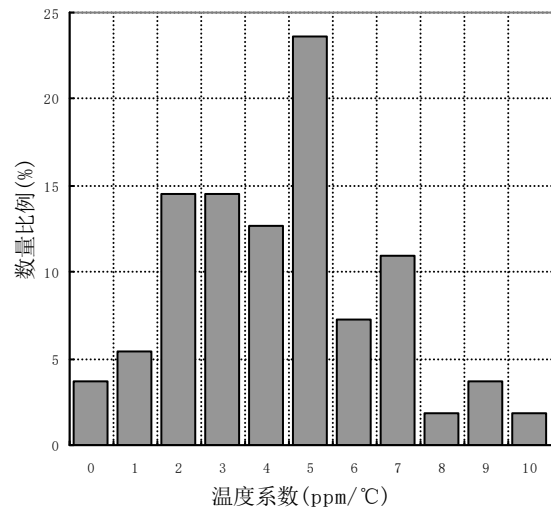
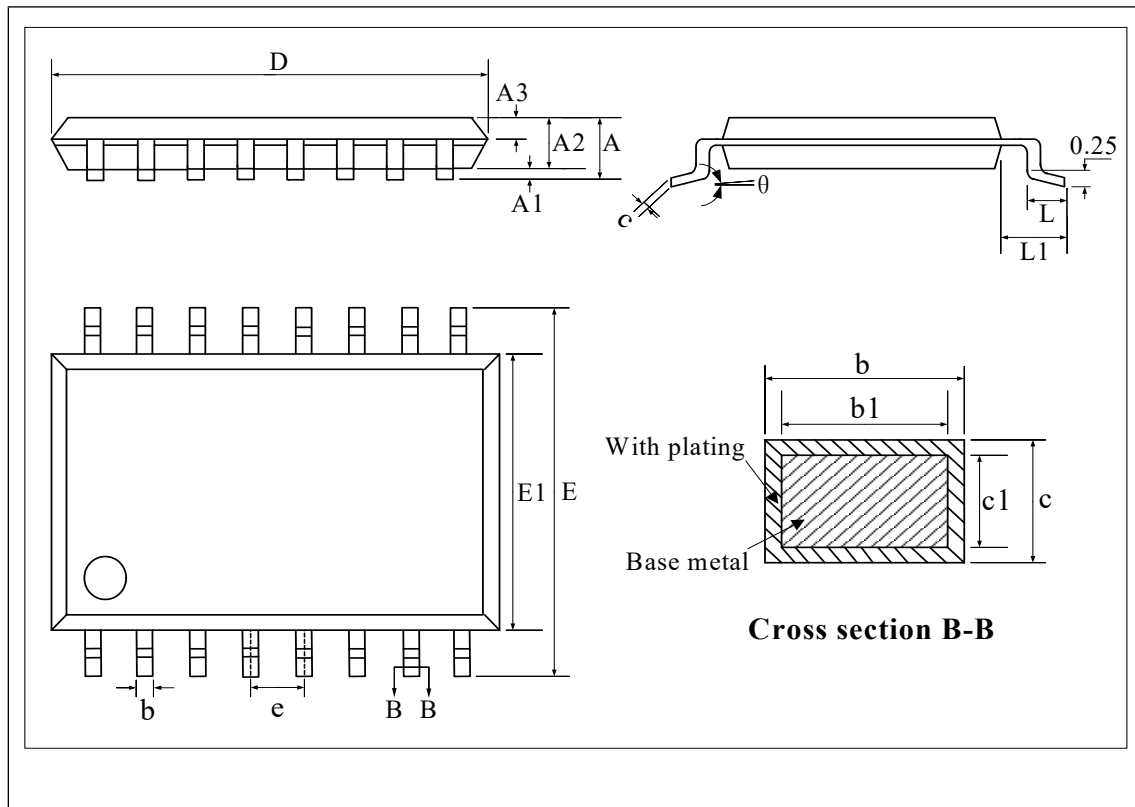


图 22. VREF2 基准电压温漂系数分布

**封装规格**


尺寸: 毫米 (mm)

标识	最小值	典型值	最大值
A	—	—	2.65
A1	0.10	—	0.30
A2	2.25	2.30	2.35
A3	0.97	1.02	1.07
b	0.35	—	0.44
b1	0.34	0.37	0.39
c	0.25	—	0.31
c1	0.24	0.25	0.26
D	10.10	10.30	10.50
E	10.26	10.41	10.60
E1	7.30	7.50	7.70
e	1.27BSC		
L	0.55	—	0.85
L1	1.40BSC		
$\theta$	0.00	—	8°

图 23. SOP16(宽体)封装外形图